

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67065

(43) 公開日 平成11年(1999) 3月9日

(51) IntCl.⁶

H 0 1 J 1/30
31/12

識別記号

F I

H 0 1 J 1/30
31/12

M
C

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21) 出願番号 特願平9-215137

(22) 出願日 平成9年(1997) 8月8日

(71) 出願人 000005016

バイオニア株式会社
東京都目黒区目黒1丁目4番1号

(72) 発明者 岩崎 新吾

埼玉県鶴ヶ島市富士見6丁目1番1号バイ
オニア株式会社総合研究所内

(72) 発明者 小笠原 清秀

埼玉県鶴ヶ島市富士見6丁目1番1号バイ
オニア株式会社総合研究所内

(72) 発明者 吉川 高正

埼玉県鶴ヶ島市富士見6丁目1番1号バイ
オニア株式会社総合研究所内

(74) 代理人 弁理士 藤村 元彦

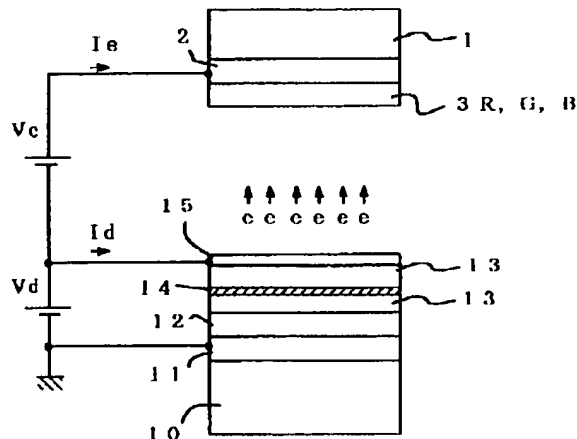
最終頁に続く

(54) 【発明の名称】 電子放出素子及びこれを用いた表示装置

(57) 【要約】

【課題】 電子放出効率の高い電子放出素子を提供する。

【解決手段】 金属又は半導体からなる電子供給層、電子供給層上に形成された絶縁体層及び絶縁体層上に形成された金属薄膜電極からなり、電子供給層及び金属薄膜電極間に電界を印加し電子を放出する電子放出素子であって、絶縁体層は、絶縁体層よりも高い導電性の少なくとも1層以上の高導電性層を有する。



【特許請求の範囲】

【請求項1】 金属又は半導体からなる電子供給層、前記電子供給層上に形成された絶縁体層及び前記絶縁体層上に形成された金属薄膜電極からなり、前記電子供給層及び前記金属薄膜電極間に電界を印加し電子を放出する電子放出素子であって、

前記絶縁体層は、前記絶縁体層よりも高い導電性の少なくとも1層以上の電界安定化層を有することを特徴とする電子放出素子。

【請求項2】 前記電界安定化層は前記電子供給層と前記絶縁体層の界面または前記金属薄膜電極と前記絶縁体層の界面または前記絶縁体層の中間に設けられたことを特徴とする請求項1記載の電子放出素子。

【請求項3】 前記絶縁体層と前記電界安定化層とは交互に複数積層されていることを特徴とする請求項1記載の電子放出素子。

【請求項4】 前記電界安定化層は漸次拡大又は縮小した膜厚を有することを特徴とする請求項2記載の電子放出素子。

【請求項5】 真空空間を挟み対向する一対の第1及び第2基板と、

前記第1基板に設けられた複数の電子放出素子と、

前記第2基板内に設けられたコレクタ電極と、

前記コレクタ電極上に形成された蛍光体層と、からなる電子放出表示装置であって、

前記電子放出素子の各々は、金属又は半導体からなる電子供給層、前記電子供給層上に形成された絶縁体層及び前記絶縁体層上に形成された金属薄膜電極からなり、前記絶縁体層は、前記絶縁体層よりも高い導電性の少なくとも1層以上の電界安定化層を有することを特徴とする電子放出表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子及びこれを用いた電子放出表示装置に関する。

【0002】

【従来の技術】従来から電界電子放出表示装置のFED (field emission display) が、陰極の加熱を必要としない冷陰極の電子放出源のアレイを備えた平面形発光ディスプレイとして知られている。例えば、spindt形冷陰極を用いたFEDの発光原理は、冷陰極アレイが異なるもののCRT (cathode ray tube) と同様に、陰極から離間したゲート電極により電子を真空中に引出し、透明陽極に塗布された蛍光体に衝突させて、発光させるものである。

【0003】しかしながら、この電界放出源は、微細なspindt型冷陰極の製造工程が複雑で、その工程数が多いので、製造歩留りが低いといった問題がある。また、面電子源として金属-絶縁体-金属(MIM)構造の電子放出素子がある。このMIM構造の電子放出素子は、基

板上に陰極としてのAl層、膜厚10nm程度のAl₂O₃絶縁体層、膜厚10nm程度の陽極としてのAu層を順に形成した構造を有するものがある。これを真空中で対向電極の下に配置して下部Al層と上部Au層の間に電圧を印加するとともに対向電極に加速電圧を印加すると、電子の一部が上部Au層を飛び出し対向電極に達する。しかしながら、MIM構造の電子放出素子を用いてもまだ放出電子の量は十分とはいえない。

【0004】これを改善するために、従来のAl₂O₃絶縁体層の膜厚を数nm程度薄膜化したり、極薄膜のAl₂O₃絶縁体層の膜質及びAl₂O₃絶縁体層と上部Au層の界面を、より均一化することが必要であると考えられている。例えば、特開平7-65710号に記載の発明のように、絶縁体層のさらなる薄膜化及び均一化のために陽極酸化法を用いて、化成電流を制御することにより電子放出特性を向上させる試みがなされている。

【0005】しかしながら、このような方法で製造されたMIM構造の電子放出素子でも、まだ放出電流は 1×10^{-5} A/cm²程度で、放出電流比は 1×10^{-3} 程度にすぎない。

【0006】

【発明が解決しようとする課題】本発明は、以上の事情に鑑みてなされたものであり、低い電圧で安定して電子放出することのできる電子放出効率の高い電子放出素子及びこれを用いた電子放出表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の電子放出素子は、金属又は半導体からなる電子供給層、前記電子供給層上に形成された絶縁体層及び前記絶縁体層上に形成された金属薄膜電極からなり、前記電子供給層及び前記金属薄膜電極間に電界を印加し電子を放出する電子放出素子であって、前記絶縁体層は、前記絶縁体層よりも高い導電性の少なくとも1層以上の電界安定化層を有することを特徴とする。

【0008】本発明の電子放出素子においては、前記電界安定化層は前記電子供給層と前記絶縁体層の界面または前記金属薄膜電極と前記絶縁体層の界面または前記絶縁体層の中間に設けられていることを特徴とする。本発明の電子放出素子においては、前記絶縁体層と前記電界安定化層とは交互に複数積層されていることを特徴とする。

【0009】本発明の電子放出素子においては、前記電界安定化層は漸次拡大又は縮小した膜厚を有することを特徴とする。また、本発明の電子放出素子を用いた表示装置は、真空空間を挟み対向する一対の第1及び第2基板と、前記第1基板に設けられた複数の電子放出素子と、前記第2基板内に設けられたコレクタ電極と、前記コレクタ電極上に形成された蛍光体層と、からなる電子放出表示装置であって、前記電子放出素子の各々は、金

属又は半導体からなる電子供給層、前記電子供給層上に形成された絶縁体層及び前記絶縁体層上に形成された金属薄膜電極からなり、前記絶縁体層は、前記絶縁体層よりも高い導電性の少なくとも1層以上の電界安定化層を有することを特徴とする。

【0010】以上の構成により、本発明の電子放出素子を電界印加駆動した場合に、電界が不均一になる要因の不純物、膜欠陥が多少あっても、電界安定化層が絶縁体層中での電界を均一になし、これが放出電流を安定化させる。また、本発明の電子放出素子は、低い電圧でも安定して電子を放出することができるので、例えば表示素子に本発明の電子放出素子を用いた場合、安定して高輝度が得られ、駆動電流の消費及び素子の発熱を抑制でき、さらに駆動回路への負担を低減できる。本発明の電子放出素子では、絶縁体層は厚い膜厚を有するのでスルーホールが発生しにくいので製造歩留まりが向上する。

【0011】さらに、本発明の電子放出素子は、画素バルブの発光源、電子顕微鏡の電子放出源、真空マイクロエレクトロニクス素子などの高速素子に応用でき、さらに面状又は点状の電子放出ダイオードとして、ミリ波又はサブミリ波の電磁波を放出する発光ダイオード又はレーザーダイオードとして、さらには高速スイッチング素子として動作可能である。

【0012】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ説明する。発明者は、厚い絶縁体層を有する電子放出素子の電圧印加時に、不純物、膜の欠陥により絶縁体層中で電界が不均一になる場合があり、これが放出電流を不安定とすることを発見した。これを解決すべく、電子供給層と絶縁体層の間または絶縁体層と薄膜電極の間または絶縁体層の間に電界を安定化させる層(膜)を一層以上入れることを案出した。

【0013】この電界を安定化させる高導電性層の膜厚は1nm以上100nm以下であれば良く、高導電性層は、絶縁体層内に1ヶ所以上、さらに絶縁体層を3つ以上に分けてその間に2層以上の高導電性層を作ることでもできる。高導電性層は、電界を均一に印加できるように、酸化珪素 SiO_x (x は原子比を示す)などの絶縁体層よりも高い導電性の層(膜)である。

【0014】図1に示すように、本発明の電子放出素子は、素子基板10上に例えばAl、Wなどからなるオーミック電極11を形成し、その上にさらに金属又はSiなどの半導体からなる電子供給層12と、 SiO_2 などからなる絶縁体層13と、真空空間に面するAuなどの金属薄膜電極15とを順に積層してなり、さらに絶縁体層13にはAl、Wなどの高導電性層14が設けられて構成される。この電子放出素子の対向する一対の第1及び第2基板10、1は真空空間を挟んで保持される。第2基板1の内面にはコレクタ電極2と蛍光体層3R、G、Bとが設けられる。

【0015】絶縁体層13は誘電体からなり50nm以上の極めて厚い膜厚を有するものである。電子放出素子は、表面の金属薄膜電極15を正電位 V_d とし裏面オーミック電極11を接地電位としたダイオードである。オーミック電極11と金属薄膜電極15との間に電圧 V_d 例えば90V程度を印加し電子供給層12に電子を注入すると、ダイオード電流 I_d が流れ、絶縁体層13は高抵抗であるので、印加電界の大部分は絶縁体層13にかかる。電子は、金属薄膜電極15側に向けて絶縁体層13内を移動する。金属薄膜電極15付近に達した電子は、そこで強電界により一部は金属薄膜電極15をトンネルし、外部の真空中に放出される。

【0016】このトンネル効果によって薄膜電極15から放出された電子 e (放出電流 I_e)は、対向したコレクタ電極(透明電極)2に印加された高い加速電圧 V_c 例えば5kV程度によって加速され、コレクタ電極2に集められる。コレクタ電極に蛍光体3が塗布されていれば対応する可視光を発光させる。電子放出素子の電子供給層12の材料としてはSiが特に有効であるが、ゲルマニウム(Ge)、炭化シリコン(SiC)、ヒ化ガリウム(GaAs)、リン化インジウム(InP)、セレン化カドミウム(CdSe)など、IV族、III-V族、II-VI族などの単体半導体及び化合物半導体が、用いられ得る。

【0017】又は、電子供給材料としてAl、Au、Ag、Cuなどの金属でも有効であるが、Sc、Ti、Cr、Mn、Fe、Co、Ni、Zn、Ga、Y、Zr、Nb、Mo、Tc、Ru、Rh、Pd、Cd、Ln、Sn、Ta、W、Re、Os、Ir、Pt、Tl、Pb、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luなども用いられ得る。

【0018】絶縁体層13の誘電体材料としては、酸化珪素 SiO_x (x は原子比を示す)が特に有効であるが、 LiO_x 、 LiN_x 、 NaO_x 、 KO_x 、 RbO_x 、 CsO_x 、 BeO_x 、 MgO_x 、 MgN_x 、 CaO_x 、 CaN_x 、 SrO_x 、 BaO_x 、 ScO_x 、 YO_x 、 YN_x 、 LaO_x 、 LaN_x 、 CeO_x 、 PrO_x 、 NdO_x 、 SmO_x 、 EuO_x 、 GdO_x 、 TbO_x 、 DyO_x 、 HoO_x 、 ErO_x 、 TmO_x 、 YbO_x 、 LuO_x 、 TiO_x 、 TiN_x 、 ZrO_x 、 ZrN_x 、 HfO_x 、 HfN_x 、 ThO_x 、 VO_x 、 VN_x 、 NbO_x 、 NbN_x 、 TaO_x 、 TaN_x 、 CrO_x 、 CrN_x 、 MoO_x 、 MoN_x 、 WO_x 、 WN_x 、 MnO_x 、 ReO_x 、 FeO_x 、 FeN_x 、 RuO_x 、 OsO_x 、 CoO_x 、 RhO_x 、 IrO_x 、 NiO_x 、 PdO_x 、 PtO_x 、 CuO_x 、 CuN_x 、 AgO_x 、 AuO_x 、 ZnO_x 、 CdO_x 、 HgO_x 、 BO_x 、 BN_x 、 AlO_x 、 AlN_x 、 GaO_x 、 GaN_x 、 InO_x 、 TiO_x 、 TiN_x 、 SiN_x 、 GeO_x 、 SnO_x 、 PbO_x 、

PO_x , PN_x , AsO_x , SbO_x , SeO_x , TeO_x などの金属酸化物又は金属窒化物でもよい。

【0019】また、 LiAlO_2 , Li_2SiO_3 , Li_2TiO_3 , $\text{Na}_2\text{Al}_2\text{O}_3$, NaFeO_2 , Na_4SiO_4 , K_2SiO_3 , K_2TiO_3 , K_2WO_4 , Rb_2CrO_4 , CS_2CrO_4 , MgAl_2O_4 , MgFe_2O_4 , MgTiO_3 , CaTiO_3 , CaWO_4 , CaZrO_3 , $\text{SrFe}_{12}\text{O}_{19}$, SrTiO_3 , SrZrO_3 , BaAl_2O_4 , $\text{BaFe}_{12}\text{O}_{19}$, BaTiO_3 , $\text{Y}_3\text{Al}_5\text{O}_{12}$, $\text{Y}_3\text{Fe}_5\text{O}_{12}$, LaFeO_3 , $\text{La}_3\text{Fe}_5\text{O}_{12}$, $\text{La}_2\text{Ti}_2\text{O}_7$, CeSnO_4 , CeTiO_4 , $\text{Sm}_3\text{Fe}_5\text{O}_{12}$, EuFeO_3 , $\text{Eu}_3\text{Fe}_5\text{O}_{12}$, GdFeO_3 , $\text{Gd}_3\text{Fe}_5\text{O}_{12}$, DyFeO_3 , $\text{Dy}_3\text{Fe}_5\text{O}_{12}$, HoFeO_3 , $\text{Ho}_3\text{Fe}_5\text{O}_{12}$, ErFeO_3 , $\text{Er}_3\text{Fe}_5\text{O}_{12}$, $\text{Tm}_3\text{Fe}_5\text{O}_{12}$, LuFeO_3 , $\text{Lu}_3\text{Fe}_5\text{O}_{12}$, NiTiO_3 , Al_2TiO_3 , FeTiO_3 , BaZrO_3 , LiZrO_3 , MgZrO_3 , HfTiO_4 , NH_4VO_3 , AgVO_3 , LiVO_3 , BaNb_2O_6 , NaNbO_3 , SrNb_2O_6 , KTaO_3 , NaTaO_3 , SrTa_2O_6 , CuCr_2O_4 , Ag_2CrO_4 , BaCrO_4 , K_2MoO_4 , Na_2MoO_4 , NiMoO_4 , BaWO_4 , Na_2WO_4 , SrWO_4 , MnCr_2O_4 , MnFe_2O_4 , MnTiO_3 , MnWO_4 , CoFe_2O_4 , NiFe_2O_4 , FeWO_4 , CoMoO_4 , CoTiO_3 , CoWO_4 , NiFe_2O_4 , NiWO_4 , CuFe_2O_4 , CuMoO_4 , CuTiO_3 , CuWO_4 , Ag_2MoO_4 , Ag_2WO_4 , ZnAl_2O_4 , ZnMoO_4 , ZnWO_4 , CdSnO_3 , CdTiO_3 , CdMoO_4 , CdWO_4 , NaAlO_2 , MgAl_2O_4 , SrAl_2O_4 , $\text{Gd}_3\text{Ga}_5\text{O}_{12}$, InFeO_3 , MgIn_2O_4 , Al_2TiO_5 , FeTiO_3 , MgTiO_3 , Na_2SiO_3 , CaSiO_3 , ZrSiO_4 , K_2GeO_3 , Li_2GeO_3 , Na_2GeO_3 , $\text{Bi}_2\text{Sn}_3\text{O}_9$, MgSnO_3 , SrSnO_3 , PbSiO_3 , PbMoO_4 , PbTiO_3 , $\text{SnO}_2\text{--Sb}_2\text{O}_3$, CuSeO_4 , Na_2SeO_3 , ZnSeO_3 , K_2TeO_3 , K_2TeO_4 , Na_2TeO_3 , Na_2TeO_4 などの金属複合酸化物、 FeS , Al_2S_3 , MgS , ZnS などの硫化物、 LiF , MgF_2 , SmF_3 などのフッ化物、 HgCl_2 , FeCl_2 , CrCl_3 などの塩化物、 AgBr , CuBr , MnBr_2 などの臭化物、 PbI_2 , CuI , FeI_2 などのヨウ化物、又は、 SiAlON などの金属酸化窒化物でも絶縁体層13の誘電体材料として有効である。

【0020】さらに、絶縁体層の誘電体材料としてダイヤモンド、フラーレン(C_{2n})などの炭素、或いは、 Al_4C_3 , B_4C , CaC_2 , Cr_3C_2 , Mo_2C , MoC , NbC , SiC , TaC , TiC , VC , W_2C , WC , ZrC などの金属炭化物も有効である。なお、フラーレン(C_{2n})は炭素原子だけからなり C_{60} に代表される球面籠状分子で $\text{C}_{32}\text{--C}_{960}$ などがあり、また、上式中、 O_x , N_x の x は原子比を表

す。以下、同じ。

【0021】絶縁体層の厚さ13は、50nm以上、好ましくは100~1000nm程度である。電子放出側の金属薄膜電極15の材料としてはPt, Au, W, Ru, Irなどの金属が有効であるが、Al, Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ga, Y, Zr, Nb, Mo, Tc, Rh, Pd, Ag, Cd, Ln, Sn, Ta, Re, Os, Tl, Pb, La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Luなども用いられ得る。

【0022】絶縁体層13における高導電性層14の材料としては、絶縁体より電気抵抗率の低い物質を用い、例えば、Li, Be, C, Na, Mg, Al, Si, K, Ca, Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Cu, Zn, Ga, Ge, As, Rb, Sr, Y, Zr, Nb, Mo, Ru, Rh, Pd, Ag, Cd, In, Sn, Sb, Te, Cs, Ba, Hf, Ta, W, Re, Os, Ir, Pt, Au, Hg, Tl, Pb, Bi, Po, La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu等の金属、半導体、またこれらの酸化物、あるいは合金などから適宜選択できる。

【0023】素子基板10の材質はガラスの他に、 Al_2O_3 , Si_3N_4 , BN等のセラミックスでも良い。またこれらの成膜法としては、スパッタリング法が特に有効であるが、真空蒸着法、CVD (chemical vapor deposition) 法、レーザアブレーション法、MBE (molecular beam epitaxy) 法、イオンビームスパッタリング法でも有効である。

【0024】具体的に、本発明の電子放出素子を作製し特性を調べた。Al電極をスパッタリング法により膜厚300nmで形成したガラス基板10(素子基板)の電極表面に、シリコン(Si)の電子供給層12をスパッタリング法により膜厚5 μm で形成した。かかるSi基板を多数用意した。次に、スパッタリング法により、かかるSi基板の電子供給層12上に膜厚195nmで SiO_x の絶縁体層13を成膜し、この絶縁体層上に5nmの高導電性層14を成膜し、この高導電性層上に膜厚200nmで SiO_x の絶縁体層13を成膜した。このようにして、ほぼ等しい膜厚の絶縁体層13に挟まれたAlとWについて高導電性層14を膜厚0nm, 5nm, 15nm, 30nm, 40nm, 50nmに変化させ、高導電性層及び絶縁体層の全体厚が100nm, 400nm, 800nmとなるように成膜した SiO_x 絶縁体基板を多数用意した。また、高導電性層膜厚0nmのものは比較例として作成した。 SiO_x 絶縁体層13及び高導電性層14は、スパッタリング法をとって、Ar, Kr, Xeあるいはそれらの混合ガス、又はこれらの希ガスを主成分とし O_2 , N_2 などを混入した混合ガスを用いてガ

ス圧 0.1~100 Torr 好ましくは 0.1~20 Torr、成膜レート 0.1~1000 nm/min 好ましくは 0.5~100 nm/min のスパッタ条件で成膜されている。スパッタリング装置のターゲットやスパッタ条件を適宜変えることにより、絶縁体層 13 のアモルファス相、粒径、原子比は制御され得る。

【0025】実施例の SiO_x 絶縁体層 13 について、X線回折法で分析したところアモルファス相によるハロー強度 I_a が観測された。このことから絶縁体層の SiO_x はアモルファス相であると推定できる。最後に、各基板のアモルファス SiO_x 層の表面上に Pt の金属薄膜電極 15 を膜厚 10 nm でスパッタリング法により成膜し、素子基板を多数作成した。

【0026】一方、透明ガラス基板 1 の内面に ITO コレクタ電極 2 が形成されたものや、各コレクタ電極上に、R、G、B に対応する蛍光体からなる蛍光体層 3 を常法により形成した透明基板を作成した。これら素子基板及び透明基板を、金属薄膜電極 15 及びコレクタ電極 2 が向かい合うように平行に 10 mm 離間してスペーサにより保持し、間隙を 10⁻⁷ Torr 又は 10⁻⁵ Pa の真空になし、電子放出素子を組立て、作製した。

【0027】その後、多数の得られた素子のそれぞれについて駆動電圧 V_d を 0~200 V 印加して、各 SiO_x 層膜厚に対応したダイオード電流 I_d 及び放出電流 I_e を測定した。その結果として、図 2 に、高導電性層及び絶縁体層の全体厚が 100 nm、400 nm、800 nm の場合における、電子放出素子の高導電性層膜厚に対する放出電流 I_e の変化を示す。この結果、200 V 以下の電圧を加えることにより、高導電性層及び絶縁体層の全体厚 50 nm 以上の 100 nm~800 nm でかつ高導電性層膜厚 50 nm 以下で、1×10⁻⁶ A/cm² 以上の放出電流が得られた。よって、膜厚 50 nm 以上好ましくは、100 nm 以上の SiO_x 誘電体層を有する素子から得られることが判明した。

【0028】また、蛍光体を塗布したコレクタ電極 2 及び金属薄膜電極 15 の間に約 4 kV の電圧を印加した状態では、SiO_x 層膜厚 50 nm 以上の素子で薄膜電極に対応する形の均一な蛍光パターンが観測された。このことは、アモルファス SiO_x 層からの電子放出が均一であり、直線性の高いことを示し、電子放出ダイオードとして、ミリ波又はサブミリ波の電磁波を放出する発光ダイオード又はレーザダイオードとして、さらには高速スイッチング素子として動作可能であることを示している。

【0029】スパッタリング法で成膜した絶縁体層の表面を SEM で観察したところ、20 nm 程度の粒塊からなることを特徴としていることが判った。50 nm 以上の膜厚を有しながらトンネル電流が流れるといった特異な現象はこの特徴に起因すると考えられる。すなわち、SiO_x は本来絶縁体であるが、粒塊あるいは、その近

傍に発生しやすい結晶欠陥や不純物などによりポテンシャルの低いバンドが多数現れる。電子はこのポテンシャルの低いバンドを介し次々にトンネリングし、結果として 50 nm 以上の膜厚をもトンネルすると推定される。

【0030】図 3 と図 4 は、高導電性層がある場合とそれがない場合の放出電流の時間変動をそれぞれ表している。図 3 のように高導電性層がある場合は、図 4 の高導電性層がない場合と比べて放出電流の時間変動は非常に小さく、放出電流が安定していることがわかる。このように安定になったことは、高導電性層を絶縁体層に設けることにより、印加電圧 V_d による電界が均一になるので、高導電性層がない場合に比べて多くの電子を安定して金属薄膜電極に到達させると推察される。

【0031】図 5 は、実施例の高導電性層を絶縁体層に設けた電子放出素子のダイオード電流 I_d (Diode Current) と駆動電圧 V_d (V diode) との関係を示したものである。図 5 においてダイオード電流 I_d 及び放出電流 I_e の変化はヒステリシス特性を有することが分る。放出電流開始の駆動電圧から電圧降下が生じ、良好に放出電流が上昇することが分る。

【0032】上記実施例では絶縁体層 13 の中間に高導電性層 14 を 1 層有するものを説明したが、他の実施例として、図 6 に示すように、高導電性層 14 を絶縁体層 13 及び金属薄膜電極 15 の界面に設けることができ、また、図 7 に示すように、高導電性層 14 を絶縁体層 13 及び電子供給層 12 の界面に有するようである。さらに、図 8 は他の実施例の電子放出素子の概略部分拡大断面図であり、2 層以上の高導電性層 14 を絶縁体層 13 内に設け、絶縁体層を 3 つ以上に分けた多層構造とすることもできる。即ち、本発明の電子放出素子においては、絶縁体層と高導電性層とは交互に積層され得る。また、高導電性層は、積層方向に沿って、漸次拡大又は縮小した間隔で配置しても、等間隔で積層してもよい。

【0033】またさらに、本発明の他の実施例の電子放出素子においては、図 9 に示すように、高導電性層は漸次拡大又は縮小した膜厚を有するように、成膜してもよい。さらに、他の実施例においては、図 10 に示すように、高導電性層 14 を、絶縁体層 13 中に同時スパッタリング方法などにより高導電性材料をドーパントとして分散させて設けることもできる。この場合も、絶縁体層 13 から金属薄膜電極 15 への電子の移動を円滑にする働きをなす。また、高導電性層ドーパントを絶縁体層 13 の金属薄膜電極 15 に近い方に高くなる又は低くなるような密度勾配を設けて分散させてもよい。

【0034】このように、金属薄膜電極、絶縁体層及び電子供給層を積層した本発明の電子放出素子においては、金属薄膜電極と絶縁体層との界面、或いは電子供給層と絶縁体層との界面、又は絶縁体層中に多層として、高導電性層を設けることにより、低い電圧でかつ安定し

た放出電流を得ることができる。図11は、実施例の電子放出表示装置を示す。実施例は、一対の透明基板1及び素子基板10からなり、基板は真空空間4を挟み互いに対向している。図示する電子放出表示装置において、表示面である透明ガラス基板1すなわち透明基板の内面（背面板10と対向する面）には、例えばインジウム錫酸化物（いわゆるITO）、酸化錫（SnO）、酸化亜鉛（ZnO）などからなる透明なコレクタ電極2の複数の電極が互いに平行に形成されている。また、コレクタ電極2は一体的に形成されていてもよい。放出電子を捕獲する透明コレクタ電極群は、カラーディスプレイパネルとするために赤、緑、青のR、G、B色信号に応じて3本1組となっており、それぞれに電圧が印加される。よって、3本のコレクタ電極2の上には、R、G、Bに対応する蛍光体からなる蛍光体層3R、3G、3Bが真空空間4に面するように、それぞれ形成されている。

【0035】一方、真空空間4を挟み透明ガラス基板1に対向するガラス等からなる素子基板10すなわち素子基板内面（透明ガラス基板1と対向する面）にはインシュレータ層18を介してそれぞれ平行に伸長する複数のオーミック電極11が形成されている。インシュレータ層18は、SiO_x、SiN_x、Al₂O₃、AlNなどの絶縁体からなり、素子基板10から素子への悪影響（アルカリ成分などに不純物の溶出や、基板面の凹凸など）を防ぐ働きをなす。オーミック電極の上に上記実施例の電子放出素子Sの複数の電極が形成され、隣接する金属薄膜電極を電気的に接続しその一部上に、オーミック電極に垂直に伸長して架設され、それぞれが平行に伸長する複数のバス電極16が設けられている。電子放出素子Sはオーミック電極上に順に形成された電子供給層12、絶縁体層13及び金属薄膜電極15からなる。そして、絶縁体層13には高導電性層14が設けられている。金属薄膜電極15は真空空間4に面する。また、金属薄膜電極15の表面を複数の電子放出領域に区画するため、開口を有した第2絶縁体層17が成膜される。この第2絶縁体層17はバス電極16を覆うことで不要な短絡を防止する。

【0036】オーミック電極11の材料としては、Au、Pt、Al、W等の一般にICの配線に用いられる材料で、各素子にはほぼ同電流を供給する均一な厚さである。電子供給層12の材質は、シリコン（Si）が挙げられるが、本発明の電子供給層はシリコンに限られたものではなく他の半導体又は金属であり、アモルファス、多結晶、単結晶のいずれでも良い。

【0037】薄膜電極15の材質は、電子放出の原理から仕事関数が小さい材料で、薄い程良い。電子放出効率を高くするために、薄膜電極15の材質は周期律表のI族、II族の金属が良く、たとえばCs、Rb、Li、Sr、Mg、Ba、Ca等が有効で、更に、それらの合金であっても良い。また、薄膜電極15の材質は極薄化

の面では、導電性が高く化学的に安定な金属が良く、たとえばAu、Pt、Lu、Ag、Cuの単体又はこれらの合金等が望ましい。また、これらの金属に、上記仕事関数の小さい金属をコート、あるいはドーブしても有効である。

【0038】バス電極16の材料としては、Au、Pt、Al等の一般にICの配線に用いられる物で良く、各素子にはほぼ同電位を供給可能な厚さにする厚さで、0.1〜50μmが適当である。また、本発明の表示装置の駆動方式としては単純マトリクス方式またはアクティブマトリクス方式が適用できる。

【図面の簡単な説明】

【図1】 本発明による実施例の高導電性層を有する電子放出素子の概略断面図である。

【図2】 本発明による実施例の電子放出表示装置における電子放出電流の高導電性層膜厚依存性を示すグラフである。

【図3】 実施例の電子放出素子の放出電流の時間変動を示すグラフである。

【図4】 高導電性層を有さない比較例の電子放出素子の放出電流の時間変動を示すグラフである。

【図5】 実施例の電子放出素子における印加駆動電圧Vdとダイオード電流の関係をj示すグラフである。

【図6】 本発明による他の実施例の電子放出素子の高導電性層近傍を示す概略部分拡大断面図である。

【図7】 本発明による他の実施例の電子放出素子の高導電性層近傍を示す概略部分拡大断面図である。

【図8】 本発明による他の実施例の電子放出素子の高導電性層近傍を示す概略部分拡大断面図である。

【図9】 本発明による他の実施例の電子放出素子の高導電性層近傍を示す概略部分拡大断面図である。

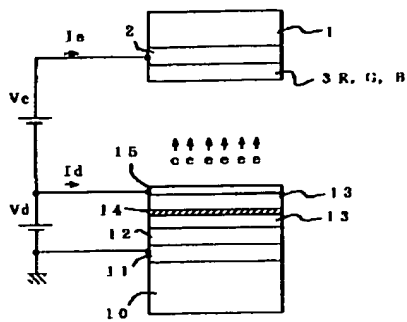
【図10】 本発明による他の実施例の電子放出素子の高導電性層近傍を示す概略部分拡大断面図である。

【図11】 本発明による実施例の電子放出表示装置を示す概略斜視図である。

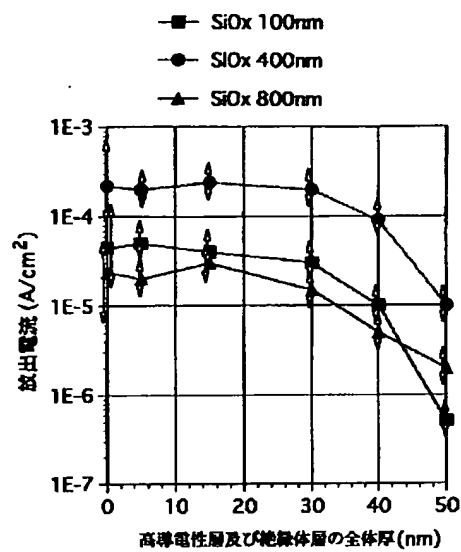
【符号の説明】

- 1 透明基板
- 2 コレクタ電極
- 3R、3G、3B 蛍光体層
- 4 真空空間
- 10 素子基板
- 11 オーミック電極
- 12 電子供給層
- 13 絶縁体層
- 14 高導電性層
- 15 金属薄膜電極
- 16 バス電極
- 17 第2絶縁体層
- 18 インシュレータ層

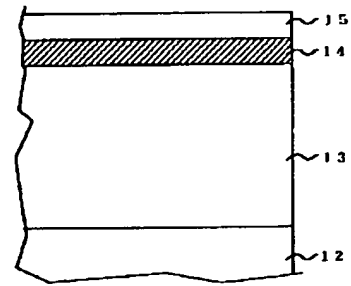
【図1】



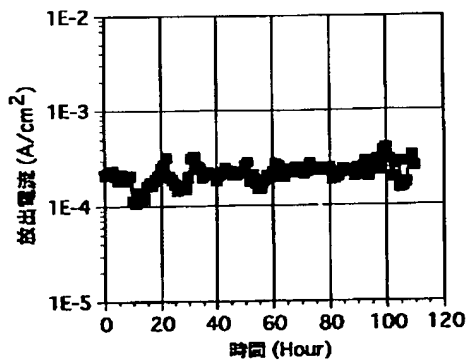
【図2】



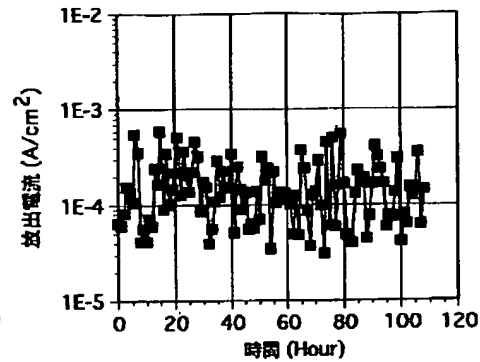
【図6】



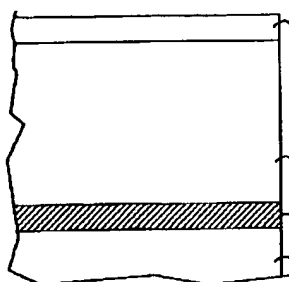
【図3】



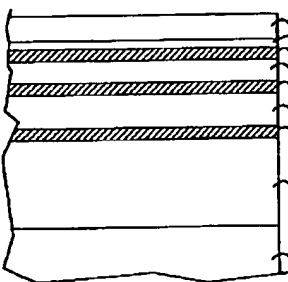
【図4】



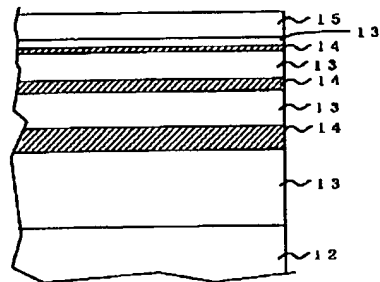
【図7】



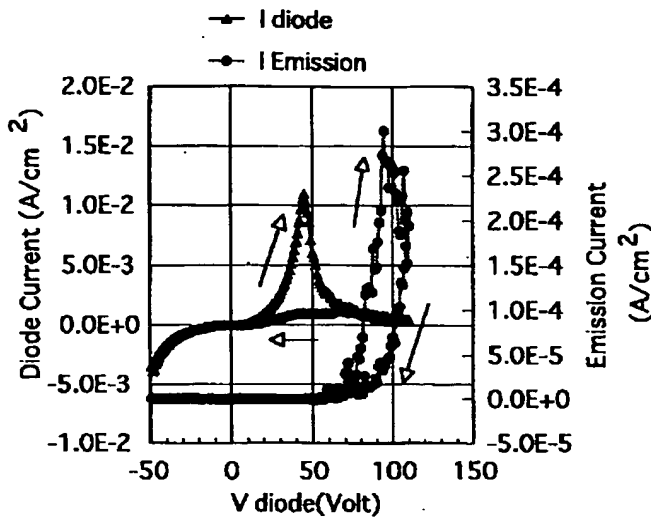
【図8】



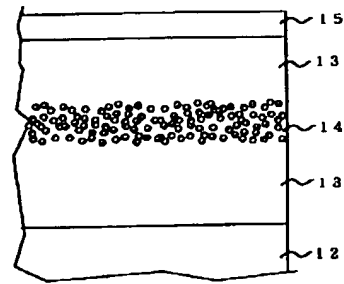
【図9】



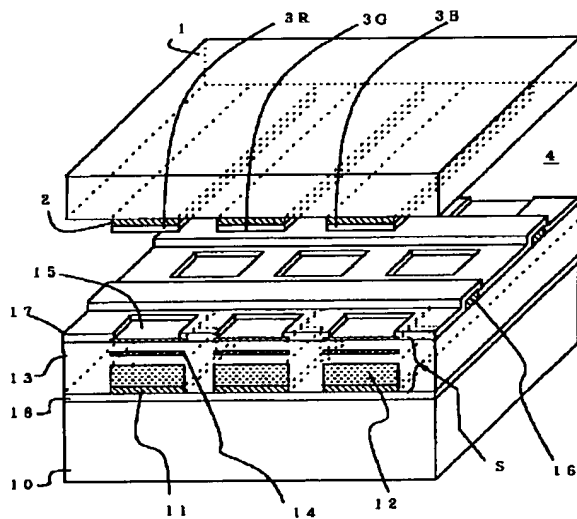
【図5】



【図10】



【図11】



【手続補正書】

【提出日】平成10年8月11日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】絶縁体層13は誘電体からなり50nm以上の極めて厚い膜厚を有するものである。電子放出素子は、表面の金属薄膜電極15を正電位Vdとし裏面オーミック電極11を接地電位としたダイオードである。オーミック電極11と金属薄膜電極15との間に電圧Vd

例えば90V程度を印加し電子供給層12に電子を注入すると、ダイオード電流Idが流れ、絶縁体層13は高抵抗であるので、印加電界の大部分は絶縁体層13にかかる。電子は、金属薄膜電極15側に向けて絶縁体層13内を移動する。金属薄膜電極15付近に達した電子は、そこで強電界によって一部は金属薄膜電極15から外部の真空中に放出される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】薄膜電極15から放出された電子 e （放出電流 I_e ）は、対向したコレクタ電極（透明電極）2に印加された高い加速電圧 V_c 例えば5kV程度によって加速され、コレクタ電極2に集められる。コレクタ電極に蛍光体3が塗布されていれば対応する可視光を発光させる。電子放出素子の電子供給層12の材料としてはSiが特に有効であるが、ゲルマニウム（Ge）、炭化シリコン（SiC）、ヒ化ガリウム（GaAs）、リン化インジウム（InP）、セレン化カドミウム（CdSe）など、IV族、III-V族、II-VI族などの単体半導体及び化合物半導体が、用いられ得る。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】絶縁体層13の誘電体材料としては、酸化珪素 SiO_x （ x は原子比を示す）が特に有効であるが、 LiO_x , LiN_x , NaO_x , KO_x , RbO_x , CsO_x , BeO_x , MgO_x , MgN_x , CaO_x , CaN_x , SrO_x , BaO_x , ScO_x , YO_x , YN_x , LaO_x , LaN_x , CeO_x , PrO_x , NdO_x , SmO_x , EuO_x , GdO_x , TbO_x , DyO_x , HoO_x , ErO_x , TmO_x , YbO_x , LuO_x , TbO_x , DyO_x , HoO_x , ErO_x , TmO_x , YbO_x , LuO_x , TiO_x , ZrO_x , ZrN_x , HfO_x , HfN_x , ThO_x , VO_x , VN_x , NbO_x , NbN_x , TaO_x , TaN_x , CrO_x , CrN_x , MoO_x , MoN_x , WO_x , WN_x , MnO_x , ReO_x , FeO_x , FeN_x , RuO_x , OsO_x , CoO_x , RhO_x , IrO_x , NiO_x , PdO_x , PtO_x , CuO_x , CuN_x , AgO_x , AuO_x , ZnO_x , CdO_x , HgO_x , BO_x , BN_x , AlO_x , AlN_x , GaO_x , GaN_x , InO_x , SiN_x , GeO_x , SnO_x , PbO_x , PO_x , PN_x , AsO_x , SbO_x , SeO_x , TeO_x などの金属酸化物又は金属窒化物でもよい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】さらに、絶縁体層の誘電体材料としてダイヤモンド、フラーレン（ C_{2n} ）などの炭素、或いは、 Al_4C_3 , B_4C , CaC_2 , Cr_3C_2 , Mo_2C , MoC , NbC , SiC , TaC , TiC , VC , W_2C , WC , ZrC などの金属炭化物も有効である。なお、フラーレン（ C_{2n} ）は炭素原子だけからな

り C_{60} に代表される球面籠状分子で $C_{32} \sim C_{960}$ などがあり、また、上式中、 O_x , N_x の x は原子比を表す。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】具体的に、本発明の電子放出素子を作製し特性を調べた。A1電極をスパッタリング法により膜厚300nmで形成したガラス基板10（素子基板）の電極11表面に、シリコン（Si）の電子供給層12をスパッタリング法により膜厚5 μ mで形成した。かかるSi基板を多数用意した。次に、スパッタリング法により、かかるSi基板の電子供給層12上に膜厚195nmで SiO_x の絶縁体層13を成膜し、この絶縁体層上に5nmの高導電性層14を成膜し、この高導電性層上に膜厚200nmで SiO_x の絶縁体層13を成膜した。このようにして、ほぼ等しい膜厚の絶縁体層13に挟まれたA1、Wなどからなる高導電性層14を膜厚0nm, 5nm, 15nm, 30nm, 40nm, 50nmに変化させ、同様に、高導電性層及び絶縁体層の全体厚が100nm, 400nm, 800nmとなるように成膜した SiO_x 絶縁体基板を多数用意した。また、高導電性層膜厚0nmのものは比較例として作成した。 SiO_x 絶縁体層13及び高導電性層14は、スパッタリング法をとおして、Ar, Kr, Xeあるいはそれらの混合ガス、又はこれらの希ガスを主成分とし O_2 , N_2 などを混入した混合ガスを用いてガス圧0.1~100mTorr好ましくは0.1~20mTorr、成膜レート0.1~1000nm/min好ましくは0.5~100nm/minのスパッタ条件で成膜されている。スパッタリング装置のターゲットやスパッタ条件を適宜変えることにより、絶縁体層13のアモルファス相、粒径、原子比は制御され得る。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】その後、多数の得られた素子のそれぞれについて駆動電圧 V_d を0~200V印加して、各 SiO_x 層膜厚に対応したダイオード電流 I_d 及び放出電流 I_e を測定した。その結果として、図2に、高導電性層及び絶縁体層の全体厚が100nm, 400nm, 800nmの場合における、電子放出素子の高導電性層膜厚に対する放出電流 I_e の変化を示す。この結果、200V以下の電圧を加えることにより、高導電性層及び絶縁体層の全体厚50nm以上の100nm~800nmでかつ高導電性層膜厚50nm以下で、 $1 \times 10^{-6} A/c$

m^2 以上の放出電流が得られた。よって、膜厚50nm以上好ましくは、100nm以上の SiO_x 誘電体層を有する素子から $1 \times 10^{-6} \text{ A/cm}^2$ 以上の放出電流が得られることが判明した。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】スパッタリング法で成膜した絶縁体層の表面をSEMで観察したところ、20nm程度の粒塊からなることを特徴としていることが判った。50nm以上の膜厚を有しながらトンネル電流が流れるといった特異な現象はこの特徴に起因すると考えられる。すなわち、 SiO_x は本来絶縁体であるが、粒塊あるいは、その近傍に発生しやすい結晶欠陥や不純物などによりポテンシャルの低いバンドが多数現れる。電子はこのポテンシャルの低いバンドを介し次々にトンネリングし、結果として50nm以上の膜厚をもトンネルするためと推定される。

【手続補正8】

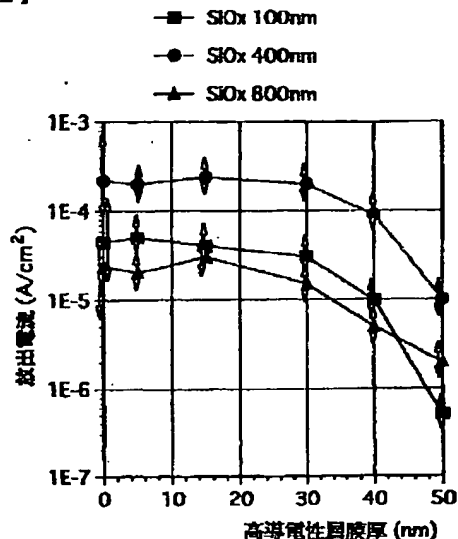
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



フロントページの続き

(72)発明者 中馬 隆
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 根岸 伸安
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 伊藤 寛
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 吉澤 淳志
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 山田 高士
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 柳沢 秀一
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 酒村 一到
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

CLIPPEDIMAGE= JP411067065A
PAT-NO: JP411067065A
DOCUMENT-IDENTIFIER: JP 11067065 A
TITLE: ELECTRON EMITTING ELEMENT AND DISPLAY DEVICE
USING THE SAME

PUBN-DATE: March 9, 1999

INVENTOR-INFORMATION:

NAME

IWASAKI, SHINGO
OGASAWARA, KIYOHIDE
YOSHIKAWA, TAKAMASA
CHUMA, TAKASHI
NEGISHI, NOBUYASU
ITO, HIROSHI
YOSHIKAWA, ATSUSHI
YAMADA, TAKASHI
YANAGISAWA, SHUICHI
SAKAMURA, KAZUYUKI

ASSIGNEE-INFORMATION:

NAME

PIONEER ELECTRON CORP

COUNTRY

N/A

APPL-NO: JP09215137

APPL-DATE: August 8, 1997

INT-CL_(IPC): H01J001/30; H01J031/12

ABSTRACT:

PROBLEM TO BE SOLVED: To enable stable electron emission at low voltage to enhance the efficiency of electron emission by providing an insulator layer with at least one or more electric field stabilizing layers having higher conductivity than the insulator layer, on the interface between an electron supply layer and the insulator layer, or on the interface between a metallic thin-film electrode and the insulator layer, or in the middle of the insulator layer.

SOLUTION: An ohmic electrode 11 is formed on an element substrate 10, and an electron supply layer 12 made of a metal or a semiconductor such as Si, insulator layers 13 made of SiO₂ or the like, and a metallic thin-film electrode 15 are sequentially deposited on the ohmic electrode 11, and further the insulator layers 13 are provided with highly conductive layers 14 of Al, W and the like. The highly conductive layer 14 is provided on the interface between the metallic thin-film electrode 15 and the insulator layer 13 or on the interface between the electron supply layer 12 and the insulator layer 13, or inside the insulator layer 13 as a multiple layer. In this case, the insulator layers 13 and the highly conductive layers 14 can be alternately deposited, and the highly conductive layers 14 may be arranged at increasing or decreasing intervals along the depositing direction or may be deposited at equal intervals.

COPYRIGHT: (C)1999,JPO